

PROGRAMA DE LA ASIGNATURA

DISEÑO LÓGICO

- 1) **Nombre de la asignatura:** Diseño Lógico
- 2) **Materia:** Sistemas Digitales
- 3) **Créditos:** 12 (incluyendo 2 de laboratorio)

4) **Objetivo de la asignatura.** El estudiante al finalizar el curso conocerá los conceptos básicos de las técnicas de diseño lógico de sistemas digitales.

Esto permitirá al estudiante encarar el diseño de sistemas digitales en base a lógica combinatoria y secuencial cableada, tomando como bloques constructivos los dispositivos SSI y MSI estándares y dispositivos lógicos programables (PLDs).

El estudio de los distintos sistemas se realiza exclusivamente desde el punto de vista lógico, sin estudiar la implementación de las diferentes tecnologías de circuitos integrados. De dichas tecnologías sólo se describen las diferentes características que influyen en las técnicas de diseño lógico.

Estos conocimientos son básicos para la utilización de los sistemas digitales como parte de sistemas electrónicos dedicados.

El curso incluye un módulo de laboratorio cuyo principal objetivo es permitirle al estudiante llevar a la práctica los principales conceptos con aplicaciones concretas, y familiarizarse con las técnicas de implementación.

5) **Metodología de enseñanza:**

Curso semestral con 3 horas semanales de teórico y 1 hora y media semanal de ejercicios.

Módulo de laboratorio de 12 horas, no incluidas en las horas por tema. La realización de las prácticas es domiciliaria y se expone lo realizado en una defensa. Para poder realizar las prácticas se dispone de kits hardware de bajo costo, que son entregados en préstamo a los estudiantes durante todo el semestre. En estos kits los grupos de estudiantes llevan a la práctica sus diseños y los muestran a los docentes en una defensa oral obteniendo así una calificación.

6) **Temario:**

Parte 1

1.1 Introducción. - 3 horas

Objetivos del Curso. Definición y características básicas de un sistema digital de procesamiento de información.

1.2 Representación de la información en forma digital. - 16 horas

Practica III – Lenguaje de Descripción Hardware

Finalidad:

Diseñar un circuito secuencial utilizando un lenguaje de descripción hardware. Implementar el diseño realizado en hardware y verificar su funcionamiento.

7) Bibliografía:

Se indica en cada caso los temas en que su contenido y orientación coinciden mayormente con el del curso.

1.1. Textos del curso:

"Diseño Digital, Principios y Prácticas" - John F. Wakerly - Prentice Hall Hispanoamericana - ISBN 968-880-244-1 - 1ra Ed., 1992.

Temas: Parte 1, Parte 2, Parte 3.

"Teoría de Conmutación y Diseño Lógico" - Frederick J. Hill y Gerald R. Peterson - Editorial Limusa - ISBN 968-18-0551-8 - 1982.

Temas: Parte 2., Parte 3.

"Introducción al Diseño Lógico Digital" - John P. Hayes - Addison-Wesley Iberoamericana - ISBN 0-201-62590-3 - 1ª Ed. 1996.

Temas: Parte 1, Parte 2, Parte 3.

Documentación variada disponibles en la página web del curso

<http://iie.fing.edu.uy/ense/assign/dislog/>

1.2. Libros de referencia en temas particulares:

"Circuitos Digitales y Microprocesadores" - Herbert Taub - McGraw-Hill de México - ISBN 968-451-379-8 - 1ra Ed., 1983.

Parte 3.2.

"Digital Logic and Microprocessors" - Frederick J. Hill y Gerald R. Peterson - John Wiley and Sons - ISBN 0-471-08539-1 - 1ra Ed., 1984.

Temas: Parte 3.3: Caps 9 y 10.

8) Conocimientos previos exigidos y recomendados

Exigidos:

Ninguno.

Recomendados:

Manejo de computador personal, ambiente Windows; conocimientos básicos de programación.

Notación. Representación de información: lógica, simbólica.
Representación de información numérica: sistemas de numeración, conversión de bases, aritmética binaria, representación de números enteros: magnitud y signo, complemento a 1, desplazamiento, complemento a 2. Representación de números decimales. Representación en punto flotante de números reales (Estándar IEEE 754).
Códigos para detección y corrección de errores: Definición de distancia, paridad, código de Hamming. Conversión A/D y D/A.

Parte 2: Sistemas combinatorios.

2.1 Operaciones lógicas. - 4 horas

Definición. Representación canónica de una función lógica. Dispositivos lógicos electrónicos.

2.2 Algebra de conmutación - 3 horas

2.3 Minimización de funciones lógicas - 6 horas

2.4 Técnicas de implementación - 4 horas

Dispositivos MSI estándares. Utilización de memorias ROM. Dispositivos lógicos programables combinatorios.

Parte 3: Sistemas secuenciales.

3.1 Almacenamiento de la información - 4 horas

Introducción. Almacenamiento de la información: Flip-flops

3.2 Síntesis clásica de circuitos secuenciales - 24 horas

Contadores síncronos y asíncronos. Circuitos secuenciales modo reloj: análisis, diseño, estudio de tiempos. Circuitos secuenciales modo nivel: diseño, eliminación de carreras y azares.

3.3 Lenguajes de descripción hardware - 6 horas

Diagrama de flujos ASM (Algorithmic state machine chart) Lenguaje RTL (Register Transfer Logic), notación y diseño.

3.4 Técnicas de implementación - 2 horas

Dispositivos secuenciales MSI estándares. Dispositivos lógicos programables.

Módulo de laboratorio

Practica I - Circuitos Combinatorios

Finalidad:

Diseñar, armar y comprobar el funcionamiento en hardware de un circuito combinatorio.

Practica II - Circuitos Secuenciales

Finalidad:

Diseñar, armar y comprobar el funcionamiento en hardware de un circuito secuencial modo reloj.

Anexo I: Ejemplo de Cronograma del Curso

<i>Semana</i>	<i>Teórico (Miércoles)</i>	<i>Teórico (Viernes)</i>	<i>Ejercicios (Martes)</i>	<i>Lab</i>	
1	07-Mar	Presentación, Introducción	Representación de info digital. Sistemas de numeración		
2	14-Mar	Aritm. binaria. Mag y signo. Complemento a 2	Punto fijo, pto flotante, Códigos varios, Def. código, dist. Paridad	Sistemas de numeración	
3	21-Mar	Semana de Turismo	Turismo	Turismo	
3	28-Mar	Código de Hamming Funciones lógicas	Dispositiv. Electrónicos Algebra de Boole, funciones lógicas	Complemento a 2, punto fijo, flotante Códigos de detección y corrección de errores	
4	04-Abr	Simplificación Mapas de Karnaugh	Minimización, Mapas K NAND-NAND, azares	Código Hamming Algebra de Boole minimización de funciones lógicas	
5	11-Abr	MSI - deco, MUX, tristate, sumadores	ROM estructura interna PLD combinatorios	Mapas K	
7	18-Abr	Introd. Secuenciales FF RS	Modo reloj, FF JK, MS, D flanco Tiempos: tsu, thold	MSI, tiempos, retardos	Práctica 1
8	25-Abr	Modo reloj Análisis y diseño	Diseño modo reloj	Flip Flops	
9	02-May	Minimización de estados Contadores	Parciales	Modo reloj	
10	09-May	Parciales	Parciales	Parciales	
11	16-May	Feriado	Sec. reloj, Diseño, MSI PLDs, FPGAs	Modo reloj	
12	23-May	Lenguajes de descrip. Hardware RTL bloques control-datos	Ejemplo RTL, lenguaje y hardware	Modo reloj	
13	30-May	RTL - ampliación de instrucciones	RTL - diseño completo	RTL	Práctica 2
14	06-Jun	RTL - tiempos	Modo nivel RS- carreras - azares	RTL	
15	13-Jun	Modo nivel - carreras - azares	Diseño completo modo nivel	RTL	
16	20-Jun	Repaso	Repaso	Modo nivel	Práctica 3
17	27-Jun	Repaso	Fin del semestre	Modo nivel	

Anexo II: Dedicación esperada del estudiante

Horas dedicadas al curso de Diseño Lógico

Horas presenciales de asistencia a clase

Clases de teórico:	3 horas semanales * 17 semanas	51
Clases de ejercicios:	1.5 horas semanales * 17 semanas	25.5
Laboratorios:	1 hora * 3 prácticas	3

Subtotal **79.5**

Horas de preparación

Preparación domiciliaria de ejercicios y teórico (estimada)	65 a 70
Preparación domiciliaria de laboratorios (estimada)	27 a 31

Subtotal **92 a 101**

TOTAL **171.5 a 180.5**

Notas:

La dedicación domiciliaria no está uniformemente distribuida, se incrementa en la Parte 3: Sistemas secuenciales.

Si bien el curso está basado en 15 semanas de clase, se supone que durante las semanas de parciales se mantiene la dedicación promedio, debido a eso es que los cálculos se hicieron en base a 17 semanas.

Anexo III: Método de Aprobación

Existen 2 instancias de evaluación:

- Prácticas de Laboratorio: 25 puntos
- Evaluación escrita final: 75 puntos

1. Exoneración del curso Para exonerar la asignatura se debe:

- aprobar el laboratorio: asistir a las 3 prácticas y obtener un mínimo de 15 puntos
- obtener más de 65 puntos entre las evaluaciones de las prácticas y la evaluación escrita final.

2. Ganar el curso (derecho a dar examen). Esto implica:

- aprobar el laboratorio: asistir a las 3 prácticas y obtener un mínimo de 15 puntos
- obtener un puntaje entre 25 y 64 puntos entre las evaluaciones de las prácticas y la evaluación escrita final.

3. Reprobar el curso (hay que recurrar). Esto implica:

- reprobar el laboratorio (por faltas o no llegar al mínimo de 15 puntos)

y/o

- no alcanzar el 25 puntos del total entre las evaluaciones de las prácticas y la evaluación escrita final.

Anexo IV: Previaturas

Programación I	curso a curso
Física General I	curso a curso
Cálculo I	curso a curso
Geometría y Algebra Lineal I	curso a curso

Estas previas tienen el objeto de asegurar que los estudiantes sostengan un avance en la carrera con cierto ordenamiento.

APROB. RES. CONSEJO DE FAC. ING.

de fecha 12/12/2005 Exp. 060180 -002088-05